

使用後返却願います

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2501450号

(45) 発行日 平成 8 年 (1996) 5 月 29 日

(24) 登録日 平成 8 年 (1996) 3 月 13 日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	12/46		H 0 4 L 11/00	3 1 0 C
	12/28			3 2 0
	12/40			

発明の数 1 (全 8 頁)

(21) 出願番号	特願昭62-188101	(73) 特許権者	999999999 松下電工株式会社 大阪府門真市大字門真1048番地
(22) 出願日	昭和62年(1987) 7 月 28 日	(72) 発明者	中川 裕司 大阪府門真市大字門真1048番地 松下電 工株式会社内
(65) 公開番号	特開平1-32549	(74) 代理人	弁理士 石田 長七
(43) 公開日	平成 1 年 (1989) 2 月 2 日	審査官	立川 功
		(56) 参考文献	特開 昭61-125256 (J P, A) 特開 昭62-230134 (J P, A) 特開 昭62-185427 (J P, A) 特開 昭60-148252 (J P, A) 特開 昭63-5641 (J P, A) 特開 昭57-166641 (J P, A) 特開 昭60-91745 (J P, A)

(54) 【発明の名称】 ゲートウェイ

(57) 【特許請求の範囲】

【請求項 1】 固有のアドレスを持ったメインバスのインターフェースユニットと、メインバスとは伝送方式と伝送速度が異なり、固有のアドレスを持ったサブバスのインターフェースユニットと、メインバスとサブバスとの間のデータ授受のハンドシェイクの中継制御を行うCPU部と、メインバスとサブバス間の伝送速度の際によって生じるデータの停滞時にCPU部の制御の下でデータを退避させるバッファメモリとから成り、バッファメモリは、データの有／無を示すビットとデータが送信データか受信データかを区別する送信／受信ビットとで関連付けたデータテーブルを持ち、CPU部はバッファメモリのデータの有／無のビットのチェックを行なって「有」であれば送信／受信ビットのチェックを行ない、メインバスのインターフェースユニットへの出力がサブバスの

インターフェースユニットへの出力かを判断することを特徴とするゲートウェイ。

【発明の詳細な説明】

【技術分野】

本発明は上述の問題点に鑑みて為されたもので、その目的とするところはホームバスシステムに用いるゲートウェイに関するものである。

【背景技術】

ホームバスシステムにおいて、主に電話、パソコンなどのデータ情報の通信を行うメインバスについては、郵政省、電波技術協会及び日本電子機械工業会において標準化案が検討され、現在その仕様がほぼ固まった段階にある。

又電力線搬送、赤外線、電波、専用 2 線を使用した時分割多重伝送の従来からのシステムもメインバスのサブ

JP 2501450 discloses a gateway which includes an interface unit for a main bus, an interface unit for a sub-bus, a CPU, and a buffer memory. The interface unit for the main bus has a unique address. The sub-bus employs a transmission system different from that employed by the main bus, and has a transmission rate different from that of the main bus. The interface unit for the sub-bus has a unique address. The CPU controls signal relay between the main bus and the sub-bus when a handshake is performed for communicating data between the main bus and the sub-bus. The data is often delayed between the main bus and the sub-bus due to the difference of the transmission rates of the main bus and sub-bus. When the data is delayed, the data is temporarily stored in a data table included in the buffer memory under the control of the CPU. In the data table, the data is stored with a data present/absent bit and a send/receive bit. The data present/absent bit represents whether the corresponding data field stores data. The send/receive bit represents that data stored in the corresponding data field is data (send data) which is sent from the main bus to the sub-bus, or data (receive data) which is sent from the sub-bus to the main bus. The CPU determines whether data is stored in the data field of the data table by checking the corresponding data present/absent bit. If it is determined that the data is stored in the data field, the CPU further determines whether the data stored in the data field should be outputted to the interface unit for the main bus or to the interface unit for the sub-bus.

システムとして組み合わせてホースバスシステムとして構築されることが考えられる。そこで、メインバスとサブシステムを有機的に結合するゲートウェイが必要になってきた。

しかしゲートウェイの問題点は2つのシステムのパケット長の差や伝送速度の差によるパケットデータのゲートウェイ内における停滞及びバッファのオーバーフローである。

第9図はホームバスシステムの全体構成を示しており、第10図はそのメインバス1とサブバス3とを接続するゲートウェイXの構成を示す。固有のアドレスA1を持つメインバス1のインターフェースユニット2からサブシステムの固有のアドレスA2を持つサブバス3のインターフェースユニット4、又サブバス3のインターフェースユニット4からメインバス1のインターフェースユニット2には第11図に示すようなデータのハンドシェイクを行う。

つまり送信側から第11図(a)に示すST信号を受信側へ送ってデータを同図(b)に示すように送信し、受信側ではデータを受信すると同図(c)に示すACK信号を送信側へ送るのである。

ところで従来、電文長が長く、しかも伝送速度が早いメインバス1からサブバス3へデータ伝送を行う際、データがメインバス1のインターフェースユニット2に停滞し、その量がインターフェースユニット2内のバッファの限度を越えると、メインシステムに対して受信不可能のコマンドを出すか、再度の伝送を要求するかのどちらかの動作を行うだけであるため、メインシステム全体の通信に悪影響を与えるという問題があった。尚第9図のa1…はメインバス1に接続されている端末器を、b1…はサブバス3の端末器である。

【発明の目的】

本発明は上述の問題点に鑑みて為されたもので、その目的とするところはメインバスのインターフェースユニットとサブバスのインターフェースユニットの伝送速度の調整を行い、効率的にバッファメモリを使用できるゲートウェイを提供するにある。

【発明の開示】

本発明は固有のアドレスを持ったメインバスのインターフェースユニットと、メインバスといは伝送方式と伝送速度が異なり、固有のアドレスを持ったサブバスのインターフェースユニットと、メインバスとサブバスとの間のデータ授受のハンドシェイクの中継制御を行うCPU部と、メインバスとサブバス間の伝送速度の差によって生じるデータの停滞時にCPU部の制御の下でデータを退避させるバッファメモリとから成り、バッファメモリは、データの有／無を示すビットとデータが送信データか受信データかを区別する送信／受信ビットとで関連付けたデータテーブルを持ち、CPU部はバッファメモリのデータの有／無のビットのチェックを行なって「有」で

あれば送信／受信ビットのチェックを行ない、メインバスのインターフェースユニットへの出力かサブバスのインターフェースユニットへの出力かを判断することを特徴する。

以下本発明を実施例により説明する。

実施例

第1図は本実施例のゲートウェイの構成を示しており、インターフェースユニット2,4の間にCPU部5を設けて、このCPU部5の制御によりメインバス1とサブバス3との間のデータの伝送速度の調整を行うようになっている。

次に本実施例のメインバス1からサブバス3への信号伝送の手順を説明する。

まずメインバス1のインターフェースユニット2はメインバス1上の信号を常に取り込んでいて、自己のアドレスA1と一致する信号であればその信号を入力し、パラレルデータとしてCPU部5に出力する。

CPU部5はバッファメモリ6に送信データ（ここではメインバス1からサブバス3へのデータを送信データとし、サブバス3からメインバス1へのデータを受信データとする）が無い場合はサブバス3のインターフェースユニット4のデータを出力する。このときサブバス3のインターフェースユニット4からACK信号へが返信されないときは第2図に示すようなテーブルを持つバッファメモリ6において送信／受信ビットを「送信」にセットして、データ有／無ビットを「有」にセットしてデータを退避させておく。

サブバス3のインターフェースユニット4はサブバス3がデータ出力可能になっていれば、データをサブバス3に出力し、次のCPU部5からの送信データを待っている。

サブバス3からメインバス1への受信データのハンドシェイクも同様な手順で行なわれる。ただ異なるのはCPU部5がサブバス3のインターフェースユニット4から受信データを入力し、メインバス1のインターフェースユニット2に受信データを出力した時にACK信号が返信されない場合、送信／受信ビットを「受信」にセットして、バッファメモリ6に受信データを退避するのである。

このように本実施例のバッファメモリ6は送信データ用及び受信データ用として夫々固有のメモリに分割されているのではなく、送信／受信ビットでその区別を行い、自由な割り当てができるようになっている。

但し、CPU部5はバッファメモリ6のチェックを行う際、第1にデータ有／無ビットのチェックを行い、

「有」ならば、送信／受信ビットのチェックを行い、それによりメインバス1のインターフェースユニット2への出力かサブバス3のインターフェースユニット4への出力かを判断する。

第3図はバッファメモリ6の或状態を示しており、図

示するバッファメモリ6はメモリエリア“1”~“5”にデータが退避されており、次の新しいデータはメモリ“6”に退避される。そしてバッファメモリ6からデータが出力されるときはメモリ“1”から出力される。

本実施例のゲートウェイはメインバス1のインターフェースユニット2及びサブバス3のインターフェースユニット4は夫々入力したデータをハンドシェイクするときCPU部5が必ずACK信号を返信するため、インターフェースユニット2,4内にデータが停滞することが無く、また夫々のシステム系内の信号伝送はスムーズに行える。また送信及び受信用のバッファメモリ6を兼用することにより、効率のよいバッファを実現できるのである。

上記実施例ではバッファメモリ6のデータは総てメインバス1のインターフェースユニット2及びサブバス3のインターフェースユニット4に出力するようになっていて同一端末器に対する送信データがバッファメモリ6内に複数存在すれば、最新のデータ(コマンド)だけ残して、それまでのデータを削除するようにしても良い。

第4図は或バッファメモリ6の内容を示しており、図示する状態ではコマンド1はメモリ“1”、“4”、“6”に夫々存在しているが、CPU部5はこのようなとき、メモリ“6”の最新のコマンド1を残して、メモリ“1”、“4”のデータを削除する。尚図中の(ON)、(OFF)は第5図の端末器a1の操作スイッチSWの操作によって送られる端末器b1の負荷Rのオン、オフデータを夫々示す。

ところでメインバス1のインターフェースユニット2からの入出力数がサブバス3のインターフェースユニット4の入出力数より多いとき(一般的にメインバス1の方が通信等を行うため、負荷制御用バスのサブシステムよりデータが多い)、メインバス1のインターフェースユニット2の負担にならないように一度だけハンドシェイクでサブバス3側とのデータのやりとりができるようにしたゲートウェイXを第6図に示す。

第7図はメインバス1のインターフェースユニット2からサブバス3のインターフェースユニット4a,4bへの送信データのハンドシェイクのタイミング、第8図はサブバス3のインターフェースユニット4a,4bからメインバス1のインターフェースユニット2への受信データのハンドシェイクのタイミングを示す。

まず8ビットのインターフェースユニット2から4ビットのインターフェースユニット4a,4bに第7図(b)に示す送信データを出力するとき、インターフェースユニット2は送信データをセットして、第7図(a)に示すST1信号を出力し、第7図(e)に示すACK3信号を待つ。インターフェースユニット4aはST1信号を受け取ると、送信データの上位4ビットを入力してACK1信号を第7図(c)に示すように返信する。又インターフェースユニット4もST1信号を受け取ると、送信データの下位4ビットを入力して第7図(d)に示すACK2信号を返信

する。

ACK1信号及びACK2信号はフリップフロップ7a,7bの夫々のクロック信号となる。そのフリップフロップ7a,7bのQ出力はアンドゲート8に入り、ACK1信号及びACK2信号が共にセットされないとACK3信号がゲート出力として得られないようになっている。つまりインターフェースユニット4a,4bが共に送信データを受け取ってから、ACK3信号を返信している。

同様にインターフェースユニット4a,4bからインターフェースユニット2へ双方の受信データ(4ビット毎)がセットされて第8図(a),(b)に示す夫々のST2信号,ST3信号をフリップフロップ9a,9bのクロック信号として入力し、フリップフロップ9a,9bのQ出力がアンドゲート10に入力した場合にST4信号として第8図

(c)に示すようにゲート出力がインターフェースユニット2へ出力して、第8図(d)に示す受信データをインターフェースユニット2へ送信し、このデータを受け取ったインターフェースユニット2からは第8図(e)に示すACK4信号をインターフェースユニット4a,4b側へ伝送してハンドシェイクが行なわれる。

而して第6図回路ではメインバス1のインターフェースユニット2はサブバス3の複数のインターフェースユニット4a,4bと一度のハンドシェイクでデータのやり取りが行えるのである。尚A2a,A2bはインターフェースユニット4a,4bのアドレスを示す。

[発明の効果]

本発明は固有のアドレスを持ったメインバスのインターフェースユニットと、メインバスといは伝送方式と伝送速度が異なり、固有のアドレスを持ったサブバスのインターフェースユニットと、メインバスとサブバスとの間のデータ授受のハンドシェイクの中継制御を行うCPU部と、メインバスとサブバス間の伝送速度の差によって生じるデータの停滞時にCPU部の制御の下でデータを退避させるバッファメモリとから成るので、ハンドシェイクするときCPU部5が必ずACK信号を返信することにより、各インターフェースユニット内にデータが停滞することが無くなり、結果夫々のシステム系内の信号伝送がスムーズに行え、更にバッファメモリは、データの有/無を示すビットとデータが送信データか受信データかを区別する送信/受信ビットとで関連付けたデータテーブルを持ち、CPU部はバッファメモリのデータの有/無のビットのチェックを行なって「有」であれば送信/受信ビットのチェックを行ない、メインバスのインターフェースユニットへの出力かサブバスのインターフェースユニットへの出力かを判断するので、バッファメモリが送信データ用及び受信データ用として夫々固有のメモリに分割されることなく、送信/受信ビットのチェックにより区別することにより自由な割当てができ、送信及び受信用のバッファメモリを兼用することにより、効率のよいバッファを実現できるという効果を奏する。

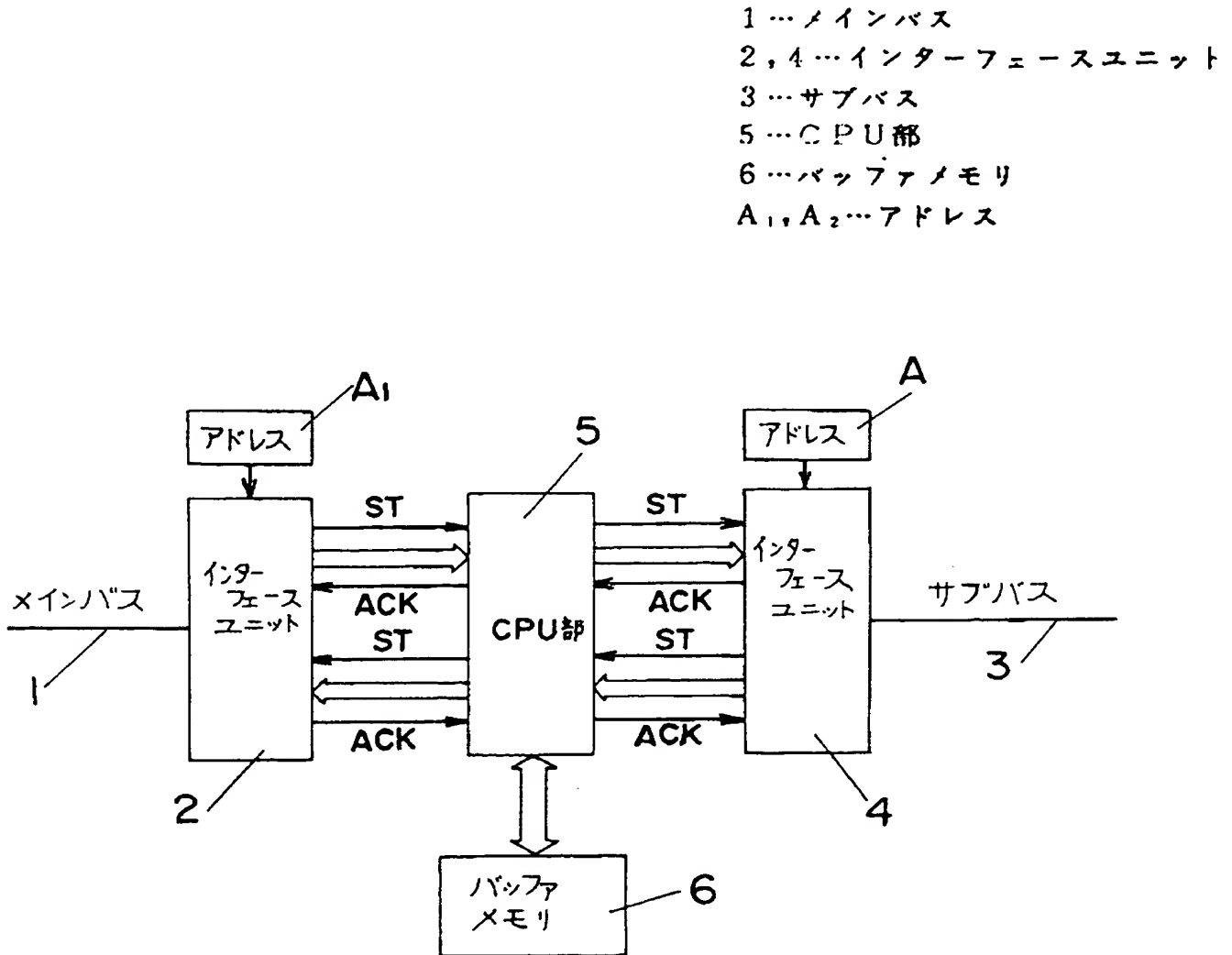
【図面の簡単な説明】

第1図は本発明の実施例の回路構成図、第2図、第3図は同上のバッファメモリの説明図、第4図は別の実施例のバッファメモリの説明図、第5図は同上のシステム構成図、第6図はゲートウェイの他の例の回路構成図、第7図、第8図は同上の動作説明用タイムチャート、第9

図はホームバスシステムの構成図、第10図は従来例の回路構成図、第11図は同上の動作説明用タイムチャートである。

1……メインバス、2,4……インターフェースユニット、3……サブバス、5……CPU部、6……バッファメモリ、 A_1, A_2 ……アドレスである。

【第1図】



【第2図】

データ 有/無	送信 受信	データ

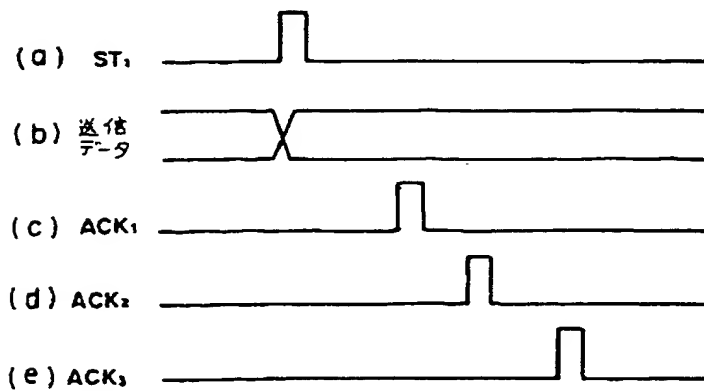
【第3図】

	データ 有/無	送信 受信	データ
1	有	送信	
2	有	受信	
3	有	送信	
4	有	送信	
5	有	受信	
6			

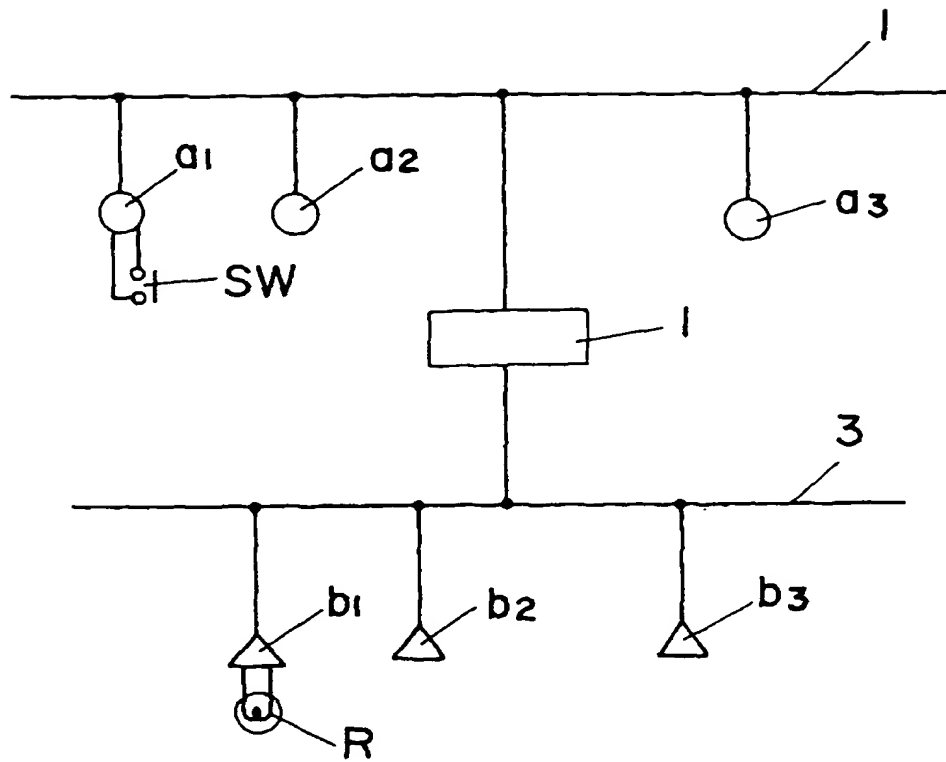
【第4図】

1	コマンド1	データ (ON)
2	コマンド2	データ
3	コマンド3	データ
4	コマンド1	データ (OFF)
5	コマンド4	データ
6	コマンド1	データ (ON)

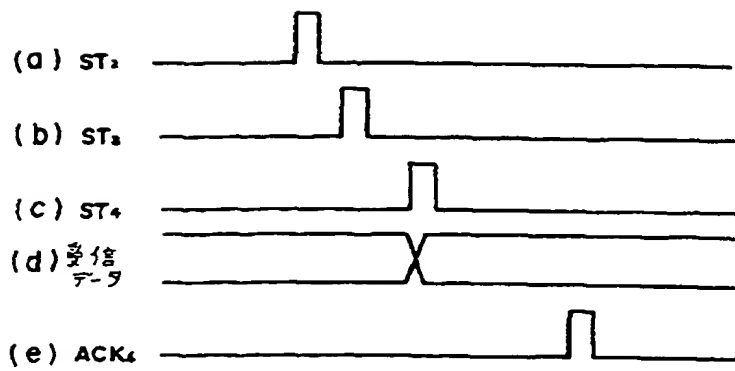
【第7図】



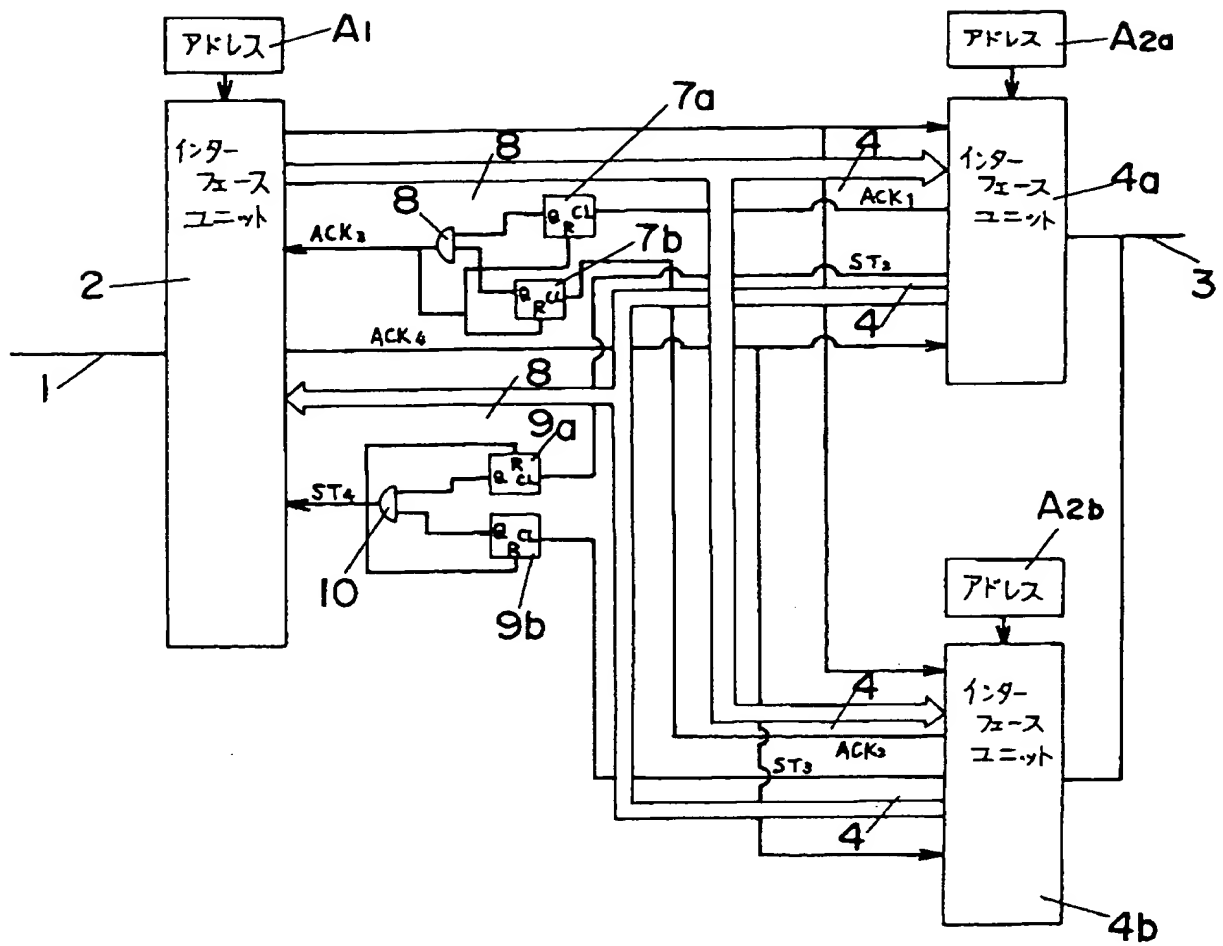
【第5図】



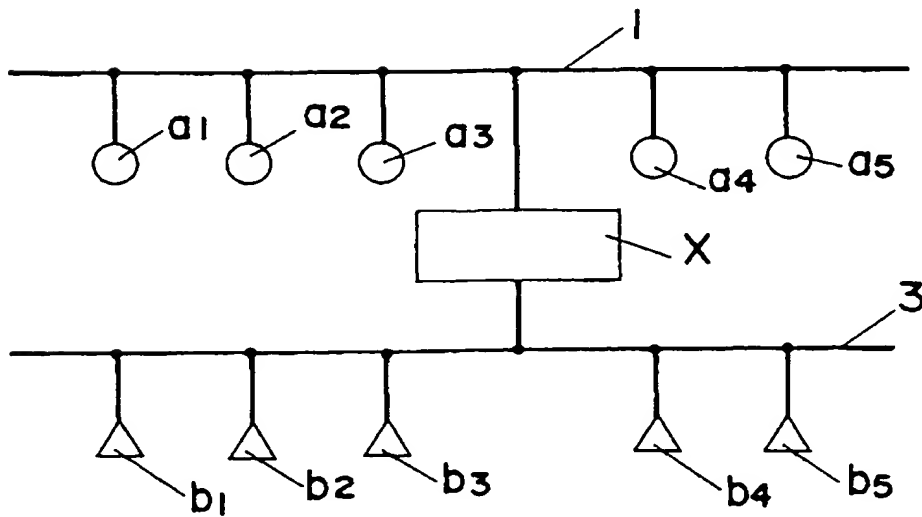
【第8図】



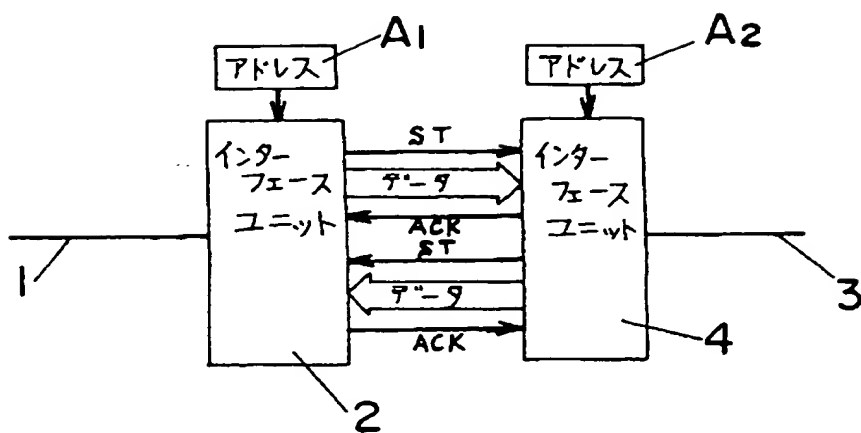
【第6図】



【第9図】



【第10図】



【第11図】

